



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①2 Patentschrift
①0 DE 100 42 585 C 1

⑤1 Int. Cl.⁷:
H 03 K 17/08
H 03 K 17/687
G 05 F 1/56

②1 Aktenzeichen: 100 42 585.2-31
②2 Anmeldetag: 30. 8. 2000
④3 Offenlegungstag: -
④5 Veröffentlichungstag
der Patenterteilung: 14. 11. 2002

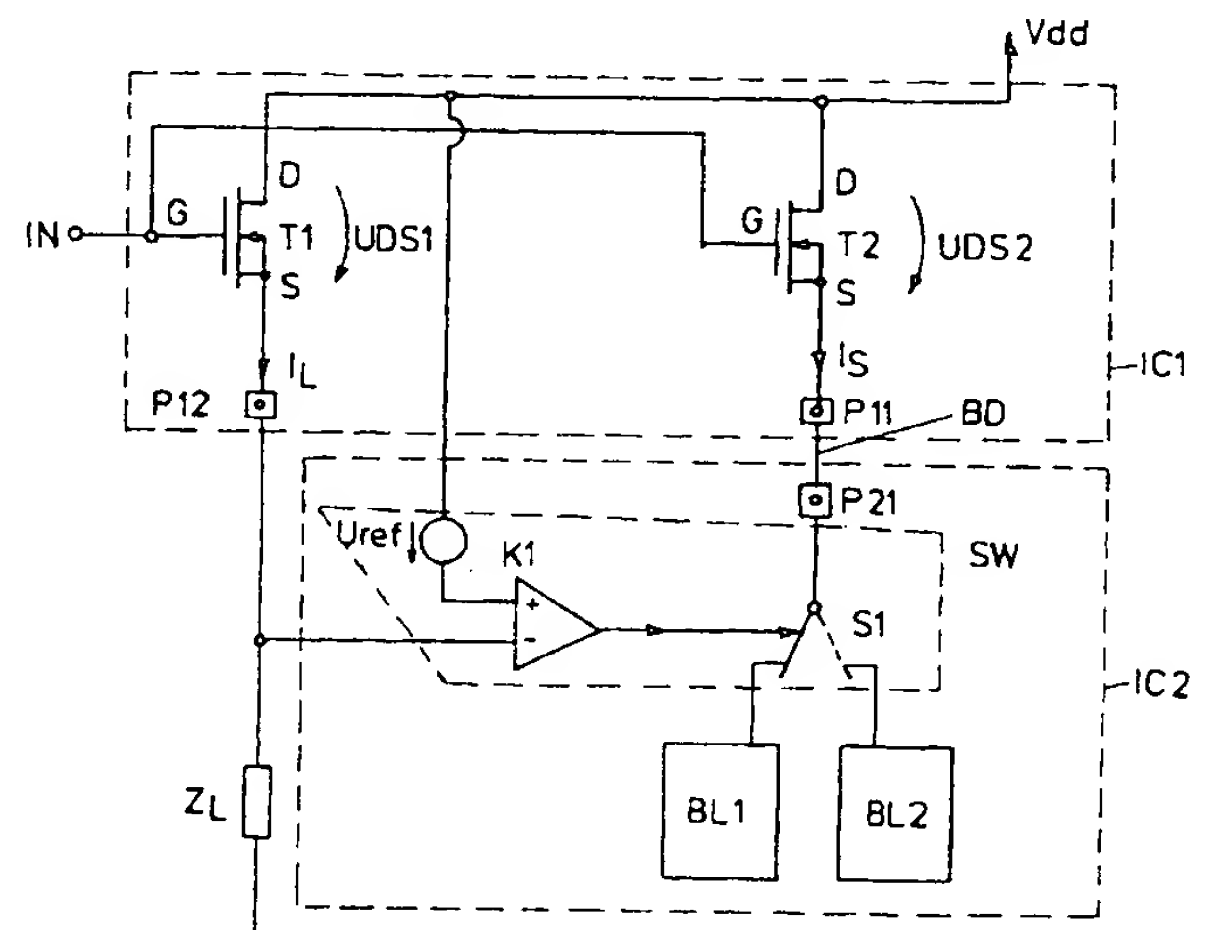
Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:
Infineon Technologies AG, 81669 München, DE
⑦4 Vertreter:
Westphal, Mussnug & Partner, 80336 München

⑦2 Erfinder:
Sander, Rainald, 81543 München, DE
⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 40 20 187 C2
DE 43 34 386 A1
JP 00-2 35 424 A

⑤4 Schaltungsanordnung zur Erfassung des Stromes in einem Lasttransistor

⑤7 Die vorliegende Erfindung betrifft eine Schaltungsanordnung mit einem Lasttransistor (T1) und einem an den Lasttransistor (T1) gekoppelten Stromfühltransistor (T2), wobei dem Stromfühltransistor (T2) eine Schalteranordnung (S) mit wenigstens einem ersten Schalter (S1; S1a, S1b) nachgeschaltet ist, um den Stromfühltransistor (T2) abhängig von einem Steuersignal an eine erste oder zweite Auswerteschaltung (BL1, BL2) anzuschließen.



DE 100 42 585 C 1

DE 100 42 585 C 1

[0001] Die vorliegende Erfindung betrifft eine Schaltungsanordnung mit einem Lasttransistor und einem an den Lasttransistor gekoppelten Stromfühltransistor.

[0002] Zur Erfassung des Stromes durch einen Lasttransistor, der zum Schalten einer Last dient, ist es beispielsweise aus Patent Abstracts of Japan, Publication Number 00235424 A, bekannt, dem Lasttransistor einen Transistor als Stromfühltransistor parallel zu schalten, welcher im selben Arbeitspunkt wie der Lasttransistor betrieben wird. Fig. 1 zeigt eine derartige, auch als Strom-Sense-Anordnung bezeichnete, Schaltungsanordnung nach dem Stand der Technik.

[0003] Die Schaltungsanordnung weist einen Lasttransistor T1S auf, welcher in Reihe zu einer Last Z1S zwischen einem Versorgungspotential Vdd und einem Bezugspotential GND verschaltet ist. Parallel zu dem Lasttransistor T1S ist ein Stromfühltransistor T2S angeordnet, dessen Gate-Anschluss an den Gate-Anschluß des Lasttransistors T1S und dessen Drain-Anschluss mit dem Drain-Anschluss des Lasttransistors T1S an ein Versorgungspotential Vdd angeschlossen ist. Dem Source-Anschluss des Stromfühltransistors T2S ist eine Reihenschaltung eines Transistors T3S und eines Stromfühlwiderstandes Z2S nachgeschaltet. Der Transistor T3S wird dabei mittels eines Komparators K1S angesteuert, welcher die Source-Potentiale des Lasttransistors T1S und des Stromfühltransistors T2S miteinander vergleicht, um sie auf denselben Wert einzustellen. Der Strom I2 durch den Stromfühltransistor T2S ist dann proportional zu dem Strom I1 durch den Lasttransistor T1S, wobei das Verhältnis dieser beiden Ströme von dem Verhältnis der Dimensionierungen des Lasttransistors T1S und des Stromfühltransistors T2S abhängt.

[0004] Es ist auch bekannt, einen von einem Stromfühltransistor gemäß Fig. 1 gelieferten Strom anderen Anwendungsschaltungen als der in Fig. 1 dargestellten zuzuführen. Für jede der Auswerteschaltungen ist dabei bei bekannten Schaltungsanordnungen ein eigener Stromfühltransistor vorgesehen.

[0005] Aus der DE 43 34 386 A1 ist eine Schaltungsanordnung bekannt, die einen IGBT zur Ansteuerung einer Last aufweist. Der IGBT weist einen an die Last angeschlossenen Emitteranschluss und einen Detektionsanschluss, der als weiterer Emitter des IGBT ausgebildet ist, auf. Dem Detektionsanschluss, an dem ein laststromabhängiges Signal anliegt, ist eine Auswerteschaltung nachgeschaltet, die einen Komparator aufweist, dessen einer Eingang an den Detektionsanschluss angeschlossen ist und dessen anderem Eingang ein erstes oder zweites Referenzsignal zugeführt ist. Die Umschaltung zwischen dem ersten und zweiten Referenzsignal erfolgt mittels einer Schalteinrichtung abhängig von einem Steuersignal, das einem zeitverzögerten Ansteuersignal des IGBT entspricht.

[0006] Üblicherweise sind der Lasttransistor und der zugehörige Stromfühltransistor in einem Chip integriert, während Auswerteschaltungen in einem weiteren Chip integriert sind. Dabei ist zwischen jedem der Stromfühltransistoren in dem einen Chip und der zugehörigen Verarbeitungsschaltung im anderen Chip eine Leitungsverbindung erforderlich, das bedeutet, für jede dieser Verbindungen ist an dem ersten und zweiten Chip ein Kontaktpin erforderlich.

[0007] Zudem liefern herkömmliche Strom-Sense-Schaltungen nur dann ein Stromsignal, welches proportional zu dem Laststrom ist, wenn sich der Lasttransistor noch nicht in Sättigung befindet, wenn sich die Drain-Source-Spannung also unterhalb einer Sättigungsspannung befindet.

[0008] Ziel der vorliegenden Erfindung ist es, eine Schal-

tungsanordnung zur Auswertung des Laststromes eines Lasttransistors zur Verfügung zu stellen, welche mit bekannten Schaltungsmitteln einfach realisiert werden kann und bei welcher insbesondere die oben genannten Nachteile nicht auftreten.

[0009] Dieses Ziel wird durch eine Schaltungsanordnung gemäß den Merkmalen des Patentanspruchs 1 gelöst.

[0010] Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

[0011] Die erfindungsgemäße Schaltungsanordnung weist einen Lasttransistor und einen an den Lasttransistor gekoppelten Stromfühltransistor auf, wobei dem Stromfühltransistor eine Schalteranordnung mit wenigstens einem Schalter nachgeschaltet ist, um den Stromfühltransistor abhängig von einem Steuersignal an eine erste oder zweite Auswerteschaltung anzuschließen. Die Schalteranordnung ist dabei abhängig von einer Laststreckenspannung (Drain-Source-Spannung) des Lasttransistors ansteuerbar.

[0012] Bei der erfindungsgemäßen Schaltungsanordnung ist lediglich ein Stromfühltransistor erforderlich, dessen Ausgangsstrom über die Schalteranordnung bedarfsgerecht einer der Auswerteschaltungen zugeführt werden kann.

[0013] Da die Schalteranordnung abhängig von einer Laststreckenspannung (Drain-Source-Spannung) des Lasttransistors ansteuerbar ist, besteht die Möglichkeit, als eine Auswerteschaltung Schaltungskomponenten vorzusehen, welche den Stromfühlwiderstand zu einer herkömmlichen Strom-Sense-Schaltung nach Fig. 1 ergänzen, wobei dieser Auswerteschaltung der Strom des Stromfühlwiderstandes nur bis zum Erreichen einer vorgegebenen Drain-Source-Spannung des Lasttransistors zugeführt wird. Herkömmliche Strom-Sense-Schaltungen liefern nur dann ein Stromsignal, welches proportional zu dem Laststrom ist, wenn sich der Lasttransistor noch nicht in Sättigung befindet, wenn sich die Drain-Source-Spannung also unterhalb einer Sättigungsspannung befindet. Mittels der erfindungsgemäßen Schaltungsanordnung kann der Strom des Stromfühlwiderstandes einer anderen Auswerteschaltung zugeführt werden, wenn die Drain-Source-Spannung den Wert der Sättigungsspannung erreicht und der Strom des Stromfühlwiderstandes in der Strom-Sense-Anordnung ohnehin nicht mehr geeignet ausgewertet werden kann.

[0014] Gemäß einer Ausführungsform der Erfindung ist es vorgesehen, daß der Lasttransistor und der Stromfühltransistor in einem ersten Chip integriert sind, und daß die Schalteranordnung und die erste und zweite Auswerteschaltung in einem zweiten Chip integriert sind. Bei dieser Ausführungsform der Erfindung ist zwischen dem ersten Chip und dem zweiten Chip nur eine Leitungsverbindung erforderlich, um den Auswerteschaltungen den Laststrom des Stromfühlwiderstandes zuführen zu können.

[0015] Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. Es zeigt:

[0016] Fig. 1 eine Strom-Sense-Anordnung nach dem Stand der Technik;

[0017] Fig. 2 eine erfindungsgemäße Schaltungsanordnung gemäß einer Ausführungsform der Erfindung;

[0018] Fig. 3 eine erfindungsgemäße Schaltungsanordnung gemäß Fig. 2 mit detaillierter Darstellung der Schalteranordnung und eines Ausführungsbeispiels für die erste und zweite Verarbeitungseinheit.

[0019] In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Bauteile mit gleicher Bedeutung.

[0020] Fig. 2 zeigt ein Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung. Die Schaltungsanordnung weist einen Lasttransistor T1 und einen Stromfühl-

transistor T2 auf, die in dem Ausführungsbeispiel als n-Kanal-MOS-Transistoren ausgebildet sind. Ein Drain-Anschluss D des Lasttransistors T1 und ein Drain-Anschluss D des Stromfühltransistors T2 sind an ein Versorgungspotential Vdd angeschlossen. Ein Gate-Anschluss des Lasttransistors T1 und ein Gate-Anschluss des Stromfühltransistors T2 sind gemeinsam an eine Eingangsklemme IN zur Zuführung eines Ansteuersignals angeschlossen, nach dessen Maßgabe der Lasttransistor (und der Stromfühltransistor) leitet oder sperrt. Der Lasttransistor T1 und der Stromfühltransistor T2 sind vorzugsweise in einem Halbleiterkörper integriert, welcher eine Vielzahl von gleichartig aufgebauten Transistorzellen aufweist, wobei ein Teil der Transistorzellen (üblicherweise der größte Teil) zur Bildung des Lasttransistors T1 und ein Teil der Transistorzellen (üblicherweise ein kleiner Teil) zur Bildung des Stromfühltransistors T2 miteinander verschaltet sind. Zwischen einen Source-Anschluss S des Lasttransistors T1 und ein Bezugspotential GND ist eine Last Z_L geschaltet, welche mittels des Lasttransistors T1 angesteuert wird. Der Source-Anschluss S des Stromfühltransistors T2 ist an eine Schalteranordnung SW angeschlossen, welche den Source-Anschluss S abhängig von einer Schalterstellung eines Schalters S1 mit einer ersten oder einer zweiten Auswerteeinheit BL1, BL2 verbindet. Diese Schalteranordnung SW weist einen ersten Komparator K1 als Vergleichereinheit auf, dessen einer Anschluss an den Source-Anschluss S des Lasttransistors T1 und dessen anderer Anschluss über eine Referenzspannungsquelle Uref an das Versorgungspotential Vdd angeschlossen ist.

[0021] Ein Ausgangssignal des Komparators K1 nimmt einen oberen Ansteuerpegel an, wenn eine über der Drain-Source-Strecke D-S des Lasttransistors T1 anliegende Drain-Source-Spannung UDS1 größer als die Referenzspannung Uref ist, und das Ausgangssignal AS nimmt einen unteren Ansteuerpegel an, wenn die Drain-Source-Spannung UDS1 kleiner als die Referenzspannung Uref ist. Der Schalter S1, welcher durch das Ansteuersignal AS angesteuert ist, verbindet abhängig von dem Pegel des Ansteuersignals AS die erste Auswerteschaltung BL1 oder die zweite Auswerteschaltung BL2 mit dem Source-Anschluss S des Stromfühltransistors T2, um der ersten oder zweiten Auswerteschaltung den Laststrom des Stromfühltransistors T2 zuzuführen.

[0022] Der Lasttransistor T1 und der Stromfühltransistor T2 sind vorzugsweise in einem ersten Chip IC1 integriert, während die Schalteranordnung S und die Ansteuerschaltungen BL1, BL2 vorzugsweise in einem zweiten Chip IC2 integriert sind. Der Laststrom I_S des Stromfühltransistors T2 steht an einem ersten Anschlusspin P11 des ersten Chips IC1 zur Verfügung und wird dem zweiten Chip IC2 über einen Anschlusspin P21 zugeführt. Die Anschlusspins P11, P21 sind dabei mittels eines Bonddrahtes BD miteinander verbunden sind. Die üblicherweise externe Last Z_L ist an einen zweiten Anschlusspin P12 des ersten Chips IC1 angeschlossen. Der zweiten Eingang des Komparators K1 kann dabei ebenfalls an diesen zweiten Anschlusspin P12 angeschlossen sein, so daß hierfür keine separate Verbindung zwischen dem ersten Chip IC1 und dem zweiten Chip IC2 erforderlich ist. Der zweite Chip IC2 weist einen eigenen, nicht näher dargestellten Anschlusspin für das Versorgungspotential Vdd auf, so daß der erste Anschluss des Komparators K1 über die Referenzspannungsquelle Uref nicht in dem ersten Chip IC1 an das Versorgungspotential Vdd angeschlossen werden muss, was in Fig. 2 lediglich aus Gründen der Einfachheit so dargestellt ist.

[0023] Fig. 3 zeigt ein Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung, bei welcher jeweils

ein Ausführungsbeispiel für den Aufbau der ersten Auswerteschaltung BL1 und der zweiten Auswerteschaltung BL2 dargestellt ist.

[0024] Die erste Auswerteschaltung BL1 ergänzt den Stromfühltransistor T2 in dem Beispiel zu einer Strom-Sense-Schaltung. Die Auswerteschaltung BL1 weist einen Regeltransistor T3 auf, welcher über die Anschlusspins P21, P11 der ersten und zweiten Chips IC1, IC2 in Reihe zu dem Stromfühltransistor T2 geschaltet ist. Zwischen den Regeltransistor T3 und Bezugspotential GND ist ein Stromfühlwiderstand R_s geschaltet. Der Regeltransistor T3, der in dem Ausführungsbeispiel als p-Kanal-Transistor ausgebildet ist, wird durch einen zweiten Komparator K2 angesteuert, dessen erster Eingang (Minus-Eingang) an den Anschlusspin P21 des zweiten Chips IC2 bzw. an den Source-Anschluss S des Stromfühltransistors T2 angeschlossen ist. Ein zweiter Eingang (Plus-Eingang) des zweiten Komparators K2 ist an den zweiten Pin P12 des ersten Chips IC1 bzw. an den Source-Anschluss S des Lasttransistors T1 angeschlossen. Der zweite Komparator K2 regelt den Widerstand der Drain-Source-Strecke des Regeltransistors T3 derart, dass das Source-Potential des Lasttransistors T1 und das Source-Potential des Stromfühltransistors T2 übereinstimmen, so dass der Lasttransistor T1 und der Stromfühltransistor T2 im selben Arbeitspunkt betrieben werden. Der Laststrom I_S des Stromfühltransistors T2 ist dann proportional zu dem Laststrom I_L des Lasttransistors T1.

[0025] An dem Stromfühlwiderstand R_s ist ein Spannungssignal I_{s1} abgreifbar, welches proportional zu dem Strom-Sense-Strom I_S bzw. dem Laststrom I_L des Lasttransistors T1 ist.

[0026] Die Schalteranordnung S gemäß Fig. 3 weist neben dem Komparator K1 erste und zweite Transistoren S1a, S1b auf, welche als p-Kanal-Transistoren ausgebildet sind und deren Gate-Anschlüsse G an den Ausgang des Komparators K1 angeschlossen sind. Source-Anschlüsse S des ersten und zweiten Transistors S1a, S1b sind an das Versorgungspotential Vdd angeschlossen. Der Drain-Anschluss des ersten Transistors S1a ist an das Gate G des Regeltransistors T3 angeschlossen. Sperrt der erste Transistor S1a, so funktioniert die Anordnung aus dem Komparator K2, dem Transistor T3 und dem Stromfühlwiderstand R_s wie oben beschrieben. Leitet der erste Transistor S1a, so liegt das Gate des dritten Transistors T3 an Versorgungspotential Vdd, wodurch der dritte Transistor T3 sperrt, so daß der Laststrom I_S nicht mehr durch den Stromfühlwiderstand R_s fließt und das Stromsignal I_{s1} auf Null absinkt. Der erste Transistor S1a und der zweite Transistor S1b leiten solange, solange die Drain-Source-Spannung UDS1 des Lasttransistors T1 kleiner als die Referenzspannung Uref ist.

[0027] Strom-Sense-Anordnungen wie die, welche sich aus der Schaltungsanordnung der Auswerteschaltung BL1 nach Fig. 3 und dem Stromfühlwiderstand T2 ergibt, funktionieren nur dann mit ausreichender Genauigkeit, das heißt liefern nur dann ein Spannungssignal I_{s1} , welches proportional zu dem Laststrom I_L ist, wenn sich der Lasttransistor T1 noch nicht in Sättigung befindet, solange der Laststrom I_L also proportional zu der Drain-Source-Spannung UDS1 ansteigt.

[0028] Übersteigt die Drain-Source-Spannung UDS1 des Lasttransistors T1 den Wert Referenzspannung Uref den Wert der Referenzspannung Uref, die vorzugsweise derart gewählt, daß sie kleiner als die Sättigungsspannung des Lasttransistors T1 ist, so kann der Laststrom I_S mittels der Schalteranordnung SW zu der zweiten Auswerteschaltung umgeschaltet werden. Auf diese Weise ist sichergestellt, daß nur dann ein Stromsignal I_{s1} durch die erste Auswerteschaltung BL1 erzeugt wird, solange sich der Lasttransistor

T1 noch nicht in Sättigung befindet und solange die Strom-Sense-Anordnung ein zu dem Laststrom des Lasttransistors T1 proportionales Signal Us_1 liefern kann.

[0029] Die zweite Auswerteschaltung BL2 weist eine Reihenschaltung eines Widerstandes R2 und eines n-Kanal-Transistors T4 auf, wobei diese Reihenschaltung ebenfalls an den Anschlusspin P21 des zweiten Chips IC2 angeschlossen ist. Der Gate-Anschluß G des Transistors T4 ist an den Source-Anschluss des Transistors S1b der Schalteranordnung angeschlossen und über einen Widerstand R1 an Bezugspotential GND gelegt. Leitet der zweite Transistor S1b, so liegt annähernd die gesamte Versorgungsspannung Vdd über dem Widerstand R1 an, wodurch der Transistor T4 leitet. Der Transistor T4 sperrt, wenn auch der zweite Transistor S1b sperrt. Der vierte Transistor T4 leitet also, wenn der Regeltransistor T3 sperrt und der vierte Transistor T4 sperrt, wenn der Regeltransistor T3 leitet. Auf diese Weise ist sichergestellt, daß der Laststrom I_s des Stromfühlwiderstandes T2 entweder nur in die erste Auswerteschaltung BL1 oder nur in die zweite Auswerteschaltung BL2 fließt.

[0030] Die erste Auswerteschaltung BL1 liefert ein von dem Laststrom I_L proportionales Signal Us_1 solange sich der Lasttransistor T1 noch nicht in Sättigung befindet bzw. solange die Drain-Source-Spannung UDS1 kleiner als die Referenzspannung Uref ist. Übersteigt die Drain-Source-Spannung UDS1 die Referenzspannung Uref, so fließt der Laststrom I_s des Stromfühltransistors T2 in die zweite Auswerteschaltung BL2, wo dieser Laststrom I_s über dem zweiten Widerstand R2 einen Spannungsabfall Us_2 erzeugt, welcher als zweites Stromsignal Us_2 zur Einstellung der Ansteuerspannung (Gate-Source-Spannung) des Lasttransistors T1 herangezogen werden kann. Der Laststrom des Lasttransistors T1 und damit auch der Laststrom des Stromfühltransistors T2 sind im Sättigungsbereich in starkem Maße abhängig von der Gate-Source-Spannung. Abhängig von dem Laststrom des Stromfühlwiderstandes T2 kann über das Stromsignal Us_2 dann die Gate-Source-Spannung des Lasttransistors eingestellt werden. Die zweite Ansteuerschaltung BL2 kann insbesondere als Teil einer Strombegrenzungsschaltung dienen, welche die Gate-Source-Spannung des Lasttransistors T1 verringert, wenn der Laststrom einen vorgegebenen Wert überschreitet, was anhand des Spannungssignals Us_2 ermittelt werden kann.

Bezugszeichenliste

Vdd Versorgungspotential
 IN Eingangsklemme
 D Drain-Anschluss
 G Gate-Anschluß
 S Source-Anschluss
 UDS1, UDS2 Drain-Source-Spannung
 Uref Referenzspannung
 K1 Komparator
 P11, 21, P12 Anschlusspins
 BD Bonddraht
 Z_L ; Last
 BL1, BL2 Auswerteschaltungen
 IC1, IC2 integrierte Schaltungen
 Us_1 erstes Stromsignal
 R_s Stromfühlwiderstand
 K2 Komparator
 T2 Transistor
 S1a, S1b Transistoren
 R1, R2 Widerstände
 T4 Widerstand
 Us_2 zweites Stromsignal

Patentansprüche

1. Schaltungsanordnung mit einem Lasttransistor (T1) und einem an den Lasttransistor (T1) gekoppelten Stromfühltransistor (T2), wobei dem Stromfühltransistor (T2) eine Schalteranordnung (SW) mit wenigstens einem ersten Schalter (S1; S1a, S1b) nachgeschaltet ist, um den Stromfühltransistor (T2) abhängig von einem Steuersignal (AS) an eine erste oder zweite Auswerteschaltung (BL1, BL2) anzuschließen, wobei der Schalter (S1; S1a, S1b) abhängig von einer Spannung (UDS) über der Laststrecke (D-S) des Lasttransistors (T1) angesteuert ist.
2. Schaltungsanordnung nach Anspruch 1, bei der die Schalteranordnung (S) einen Ausgangsstrom (I_s) des Stromfühltransistors (T2) der ersten oder zweiten Auswerteschaltung (BL1, BL2) zuführt.
3. Schaltungsanordnung nach Anspruch 1 oder 2, bei der der Lasttransistor (T1) und der Stromfühltransistor (T2) in einem ersten Chip (IC1) integriert sind und bei der die Schalteranordnung (SW) und die erste und zweite Auswerteschaltung (BL1, BL2) in einem zweiten Chip (IC2) integriert sind.
4. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die Schalteranordnung (S) eine Vergleichieranordnung (K1) aufweist, die die Laststreckenspannung des Lasttransistors (T1) mit einer Referenzspannung (Uref) vergleicht.
5. Schaltungsanordnung nach Anspruch 4, bei der der erste Schalter (S1; S1a, S1b) abhängig von einem Ausgangssignal (AS) der Vergleichieranordnung (K1) angesteuert ist.
6. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der der erste Schalter (S1a, S1b) einen ersten und einen zweiten Transistor (S1a, S1b) aufweist, die abhängig von dem Ausgangssignal der Vergleichieranordnung (K1) angesteuert sind.
7. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die erste Auswerteschaltung (BL1) eine zweite Vergleichieranordnung (K2) und einen mittels der Vergleichieranordnung (K2) regelbaren Widerstand (T3) aufweist, der in Reihe zu dem Stromfühltransistor (T2) geschaltet ist.
8. Schaltungsanordnung nach Anspruch 7, bei der die zweite Verarbeitungseinheit (BL2) in Reihe zu dem regelbaren Widerstand (T3) einen weiteren Widerstand (R1) aufweist, an dem ein erstes Stromsignal (Us_1) abgreifbar ist.
9. Schaltungsanordnung nach Anspruch 7 oder 8, bei der der regelbare Widerstand (T3) als Transistor ausgebildet ist.
10. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der die zweite Auswerteschaltung (BL2) eine Reihenschaltung eines zweiten Widerstands (R2) und eines zweiten Schalters (T4) in Reihe zu dem Stromfühltransistor (T2) aufweist.
11. Schaltungsanordnung nach Anspruch 9, bei der der zweite Schalter (T4) abhängig von einer Schalterstellung der Schalteranordnung (S2; S2a, S2b) angesteuert ist.
12. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der eine Laststrecke des ersten Transistors (S1a) zwischen einer Klemme für ein Versorgungspotential (Vdd) und einem Steueranschluss des regelbaren Widerstandes (T3) verschaltet ist.
13. Schaltungsanordnung nach einem der vorangehenden Ansprüche, bei der eine Laststrecke des zweiten Transistors (S1b) zwischen einem Versorgungspoten-

tial und einem Steueranschluss des zweiten Schalters
(T4) verschaltet ist.

Hierzu 3 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

FIG 1 (STAND DER TECHNIK)

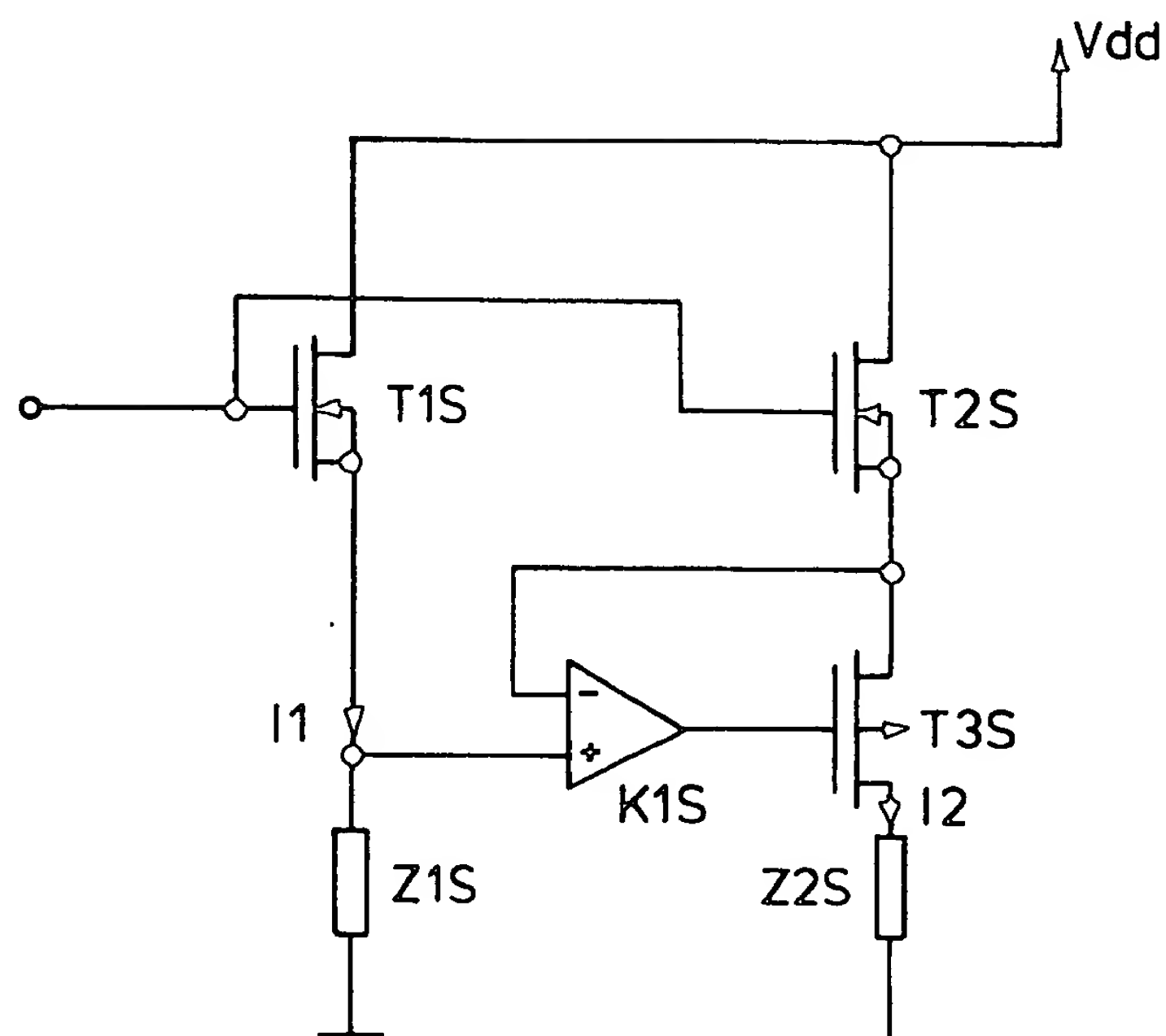


FIG 2

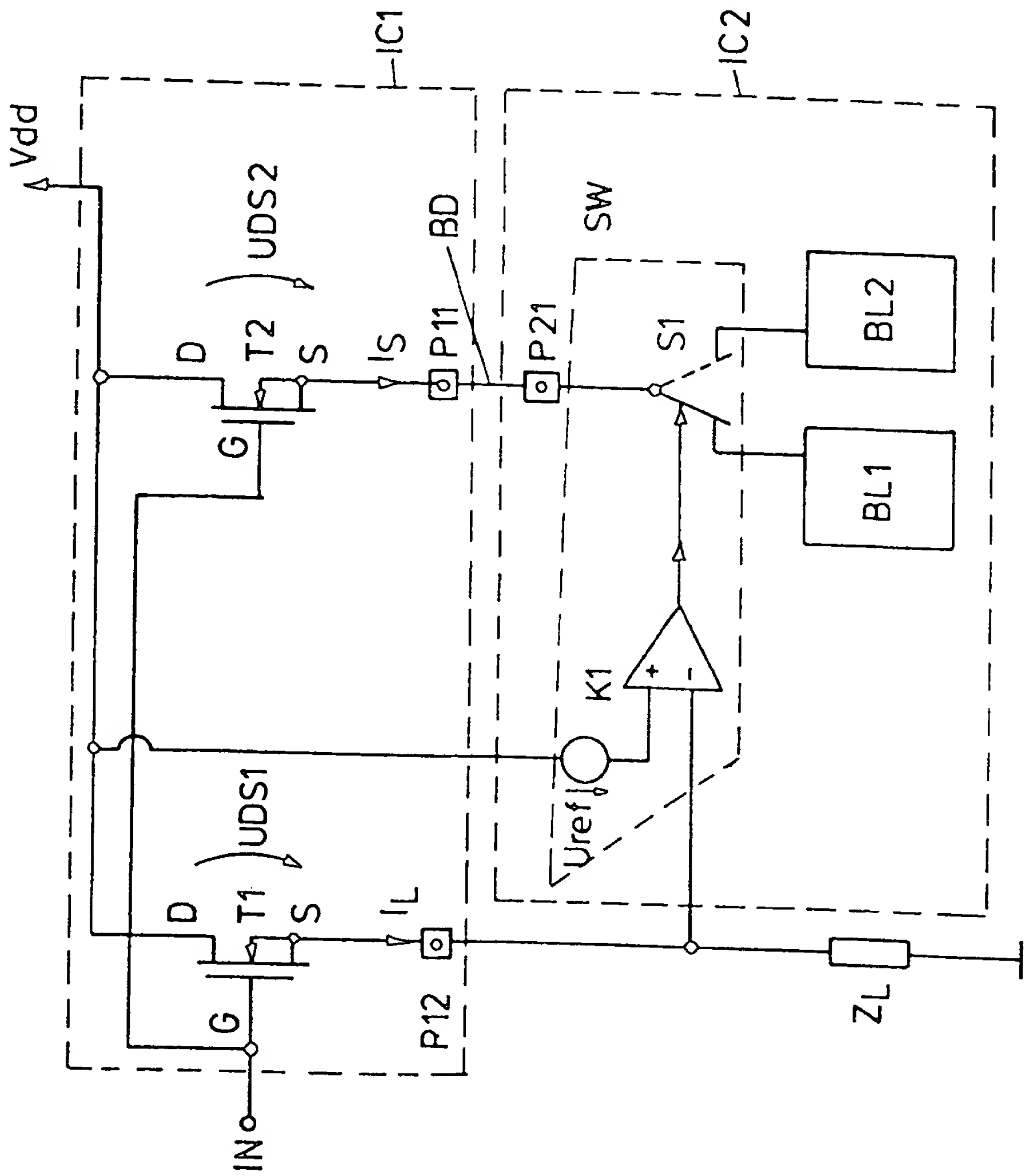
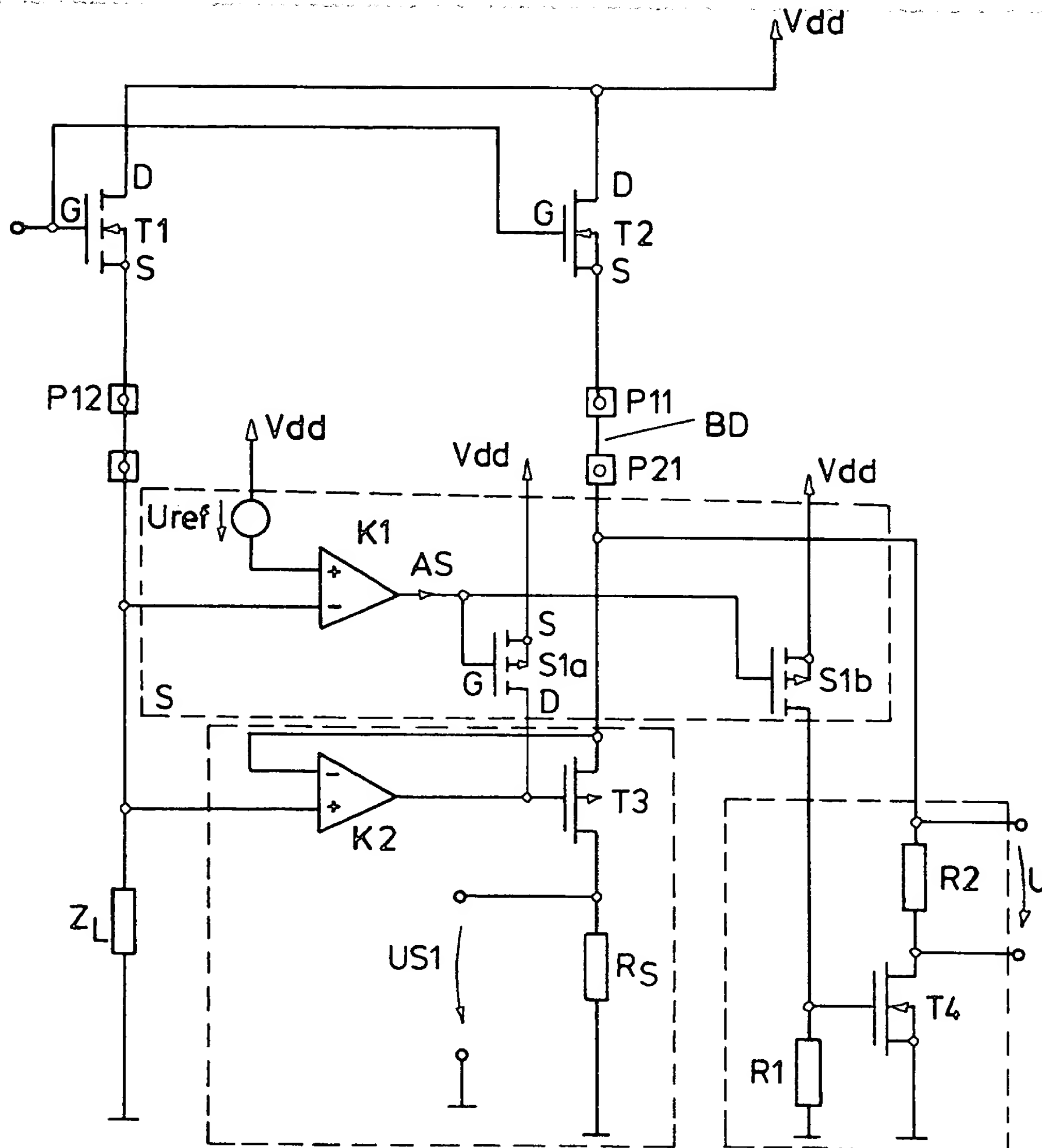


FIG 3

DOCKET NO: WMP-IFT63/ BL2SERIAL NO: 09/943,589APPLICANT: Sander

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100